

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-153294

(43)Date of publication of application : 01.07.1991

(51)Int.CI. G09G 3/18
G02F 1/133
G09G 3/36

(21)Application number : 01-293524 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

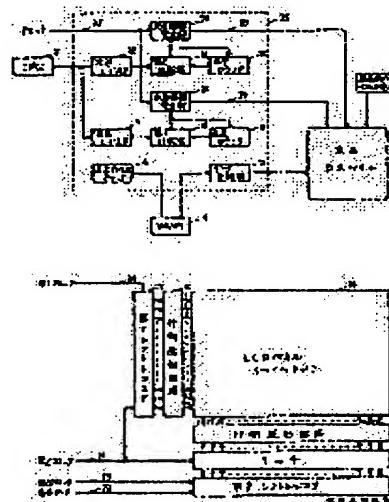
(22)Date of filing : 10.11.1989 (72)Inventor : DATE YOSHITO
SARAI OSAMU
OMORI TETSUO
IMAMURA YOSHIO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To determine the initial state of a display screen without controlling the power source for a liquid crystal display panel by providing a synchronizing signal generation part which outputs a synchronizing signal for a certain time after a reset signal is reset and clears the shift register in the liquid crystal panel.

CONSTITUTION: A vertical synchronism generation part 26 and a horizontal synchronism generation part 27 transfer 'L' to all bits of the 1st shift register 15 of the liquid crystal panel for the certain period after resetting to make a row-side driving circuit 16 not operate, thereby making no display on the liquid crystal panel. Then a synchronizing signal corresponding to a set value from a CPU 2 is generated. Consequently, the initial state of the display screen can be determined without controlling the power source 24 for the liquid crystal display panel.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑪ 公開特許公報 (A) 平3-153294

⑫ Int. Cl.

G 09 G 3/18
G 02 F 1/133
G 09 G 3/36

識別記号

505

府内整理番号

8621-5C
7709-2H
8621-5C

⑬ 公開 平成3年(1991)7月1日

審査請求 未請求 請求項の数 4 (全9頁)

⑭ 発明の名称 液晶表示装置

⑮ 特 願 平1-293524

⑯ 出 願 平1(1989)11月10日

⑰ 発明者 伊達義人	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑰ 発明者 皿井修	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑰ 発明者 大森哲郎	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑰ 発明者 今村善雄	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑰ 出願人 松下電器産業株式会社	大阪府門真市大字門真1006番地	
⑰ 代理人 弁理士 菜野重孝	大阪府門真市大字門真1006番地	
	外1名	

明 約 契

1、発明の名称

液晶表示装置

2、特許請求の範囲

- (1) リセット信号と、前記リセット信号が解除されるとき液晶表示装置の行側シフトレジスタをクリアするためのタイミング信号とを発生する信号発生部を備えたことを特徴とする液晶表示装置。
- (2) 外部から水平同期信号、垂直同期信号の周期を設定することのできる水平、垂直同期信号発生部と、外部からの同期信号がない時に一定周期の液晶表示用水平、垂直同期信号を発生し、前記水平、垂直同期信号発生部からの同期信号が入力されると前記水平、垂直同期信号発生部が発生する水平、垂直同期信号の周期と同じ周期で同期信号を発生する発生手段とを備えたことを特徴とする液晶表示装置。
- (3) 外部から設定可能な水平、垂直同期信号発生部と、外部から設定不可能な水平、垂直同期信

号発生部と、前記外部から設定可能な水平、垂直同期信号発生部と前記外部から設定不可能な水平、垂直同期信号発生部との切り換え制御をするためのレジスタとを備えたことを特徴とする液晶表示装置。

- (4) 外部から設定可能な水平、垂直同期信号発生部と、外部から設定不可能な水平、垂直同期信号発生部と、前記外部から設定可能な水平、垂直同期信号発生部にデータが設定されたことを検出する検出手段とを備えたことを特徴とする液晶表示装置。

3、発明の詳細な説明

産業上の利用分野

本発明は、液晶表示装置（以下、LCDと略記）、詳しくは、同装置の初期状態の制御を行うための信号系に関するものである。

従来の技術

近年、コンピュータを中心とする情報機器分野において大画面で薄型のLCDの需要が高まっており、その制御方法に関する技術が重要になって

いる。

以下に、従来のLCDについて説明する。

第9図は従来のLCDの回路構成ブロック図であり、1は液晶表示パネル、2はCPU、3は液晶表示パネル用電源、4はVRAM、5は従来のLCDの要部回路ブロック、6は表示アドレスカウンタ、7はデータ変換部、8は垂直カウンタ、9は垂直レジスタ、10は垂直カウンタ8と垂直レジスタ9を比較する第1比較器、11は水平カウンタ、12は水平レジスタ、13は水平カウンタ11と水平レジスタ12を比較する第2比較器である。

次に、このように構成されたLCDについて、その動作を説明する。

まず、液晶表示パネル用電源3はオフの状態にしておく。CPU2は垂直レジスタ9および水平レジスタ12を表示に適当な値に設定する。垂直カウンタ8、水平カウンタ11は、それぞれ、水平同期信号、箇索クロックによってカウントアップされ、垂直レジスタ9、水平レジスタ12の値

回路、17は第2シフトレジスタ、18はラッチ、19は列側駆動回路、20は垂直同期信号を示す信号である第1クロック、21は水平同期信号である第2クロック、22は第2シフトレジスタ17に入力する表示データ、23は表示データ22を第2シフトレジスタ17にシフトして転送していく第3クロックである。

通常の動作タイミングは、第11図に示す通りで、表示データ22が第3クロック23によって第2シフトレジスタ17の中をシフト転送される。水平方向1ライン分転送されると、第2クロック21によってラッチ18に転送される。この時、第1クロック20が入力されると、第2クロック21によって、第1シフトレジスタ15の第1ビット目にラッチされ、行側駆動回路16の第1行目が有効になり、列側駆動回路19によって液晶表示パネルに表示される。以後データ転送されると、第2クロック21によってデータのラッチが行われ、第1シフトレジスタ15にラッチされた第1クロックデータは順次シフトされ、

と一致すれば第1比較器10、第2比較器13から発生する一致信号によってクリアされ、再び水平同期信号、箇索クロックによってカウントアップされる。第1比較器10からの一致信号は、垂直同期信号となり、液晶表示パネル1に入力される。第2比較器12からの一致信号は、水平同期信号となり、液晶表示パネル1に入力される。

VRAM4は表示データを蓄えておくメモリであり、表示アドレスカウンタ6によってVRAM4のデータが読みだされ、データ変換部7によって液晶表示パネル1の表示用データに変換され出力される。表示タイミング信号が安定した後、CPU2は液晶表示パネル用電源3に対して電源オンの信号を出力して表示が開始される。

液晶表示パネル用電源3を、レジスタ設定が終了した後に、オシするのは液晶表示パネル1に不必要なデータの表示を避けるためである。

第10図は液晶表示パネルの構成図であり、14は $m \times n$ (m, nは正の整数)ドットの液晶パネル、15は第1シフトレジスタ、16は行側駆動

液晶表示パネル14に表示されていく。最終行まで転送、表示が終わると、再び第1クロックを与え、第1行目の表示に入る。

電源が投入された直後等の初期状態の際、第1シフトレジスタ15、第2シフトレジスタ17、ラッチ18は、不確定のデータが入力されており、この不確定の表示位置に不確定のデータが表示されることになる。

それを防ぐため、第9図に示す従来のLCDではCPU2が必要なレジスタ設定をすべて設定した後、表示データ、同期信号が確定してから液晶表示パネル用電源3をオンにしていた。

発明が解決しようとする課題

しかしながら、上記従来の構成では、液晶表示パネルに構成様等のノイズを表示させないために、CPUによって液晶表示パネル用電源の制御信号を行わなければならないという課題を有していた。

本発明は、上記従来の課題を解決するもので、液晶表示パネル用電源の制御を不用とするLCD

を提供することを目的とする。

課題を解決するための手段

この目的を達成するために、本発明のLCDは、表示設定レジスタに正しいデータを設定する前に、適当な表示タイミング信号を発生する発生手段から構成されている。

作用

この構成によって、電源立ち上げ時に適当な表示タイミング信号が発生するため、不用な表示信号をパネルに表示させることなく、また、液晶表示パネル用電源に対しても制御信号を与える必要がない。

実施例

以下、本発明の一実施例について、図面を参照しながら説明する。

第1図は本発明の一実施例における液晶表示装置の回路構成ブロック図を示すものである。

第1図において、24は外部より制御できない液晶表示パネル用電源、25はLCDの要部回路ブロック、26は垂直同期発生部、27は水平同

期発生部、28はリセット信号、29は垂直同期信号、30は水平同期信号である。また、1は液晶表示パネル、2はCPU、4はVRAM、6は表示アドレスカウンタ、7はデータ変換部、8は垂直カウンタ、9は垂直レジスタ、10は垂直カウンタ8と垂直レジスタ9を比較する第1比較器、11は水平カウンタ、12は水平レジスタ、13は水平カウンタ11と水平レジスタ12を比較する第2比較器で、これらは従来例と同じである。

次に、このように構成された本実施例の液晶表示装置について、第2図のタイミングチャートを用いて、その動作を説明する。まず、電源が立ち上がったと同時に、リセット信号28が入力され、その後解除される。この時、垂直レジスタ9、水平レジスタ12には不定のデータが入力されており、また垂直カウンタ8、水平カウンタ11も動作は不確定である。従って、第1比較器10から出力される信号も、第2比較器13から出力される信号も不確定信号である。

リセットが解除されると、垂直同期発生部26からは、第2図に示すように、ローレベル“L”の垂直同期信号29が出力されている。また、水平同期発生部27は、第2図に示すように、表示画面の垂直ドット数分のクロックとして、水平同期信号30が発生している。この信号により、第10図に示す液晶表示パネルは、行側の第1シフトレジスタ15がクリアされるため、表示データは液晶パネル14には表示されない。垂直同期信号29、水平同期信号30の出力が終了すれば、垂直同期発生部26からは第1比較器10からの出力を出力し、水平同期発生部27からは、第2比較器13からの出力を出力し、この後は従来例の通り、レジスタに適当な値を設定して、通常の表示動作を行う。つまり、リセット解除後の一定期間は垂直同期発生部26、水平同期発生部27は、第10図に示す液晶表示パネルの第1シフトレジスタ15の全ビットに“L”を転送し、行側駆動回路16を動作させず、液晶パネルに何の表示もさせない。その後はCPU2からの設定値に

応じた同期信号を発生する。この構成により、液晶表示パネル用電源24の制御を行うことなしに、表示画面の初期状態を確定することができる。

この実施例によれば、リセット信号が解除されるとから一定期間同期信号を出し、液晶表示パネル内のシフトレジスタをクリアする同期信号発生部を備えたことにより、液晶表示パネル用電源の制御を行うことなく、表示画面の初期状態を確定することができる。

第3図は本発明の他の実施例におけるLCDの回路構成ブロック図を示すものである。

第3図において、31はこの実施例LCDの要部回路構成ブロック、32は外部信号の周期に応じて信号を発生する第1外部同期カウンタ、33は外部信号の周期に応じて信号を発生する第2外部同期カウンタ、34は第1比較器10からの第1同期信号、35は垂直同期信号、36は第2比較器13からの第2同期信号、37は水平同期信号である。なお、1は液晶表示パネル、2はCPU、

4はVRAM、6は表示アドレスカウンタ、7はデータ交換部、8は垂直カウンタ、9は垂直レジスタ、10は垂直カウンタ8と垂直レジスタ9を比較する第1比較器、11は水平カウンタ、12は水平レジスタ、13は水平カウンタ11と水平レジスタ12を比較する第2比較器でこれらは従来例と同じものである。また、24は液晶表示パネル用電源で、第1図に示す一実施例のものと同じである。

この実施例LCDの動作を、第4図のタイミングチャートを用いて説明する。まず、第1比較器10の出力としての第1同期信号34は、CPU2から垂直レジスタ9にデータを設定する前は“L”であり、垂直レジスタ9を設定すると、周期t1の同期信号が第1比較器10から出力される。第1外部同期カウンタ32は、第1比較器10の出力34をうけて垂直同期信号35を発生する。同様な第2比較器13は、CPU2から水平レジスタ12にデータを設定する前は“L”であり、水平レジスタ12を設定すると周期t2の同

期信号が出力される。第2外部同期カウンタ33は、第2比較器13の出力36をうけて水平同期信号37を発生する。この際、第2外部同期カウンタは第2比較器13の出力が“L”的時、t2より周期の長いt3を発生しており、同期信号36が入力されるとt2に同期して水平同期信号37を発生する。その後の動作は従来例と同じである。このように第1外部同期カウンタ32は、第1比較器10からの信号が来ない限り出力が“L”で、第2外部同期カウンタ33は、第2比較器13からの信号が来ない限り一定の水平同期信号を出力しているので、第10図に示す液晶表示パネルの第1シフトレジスタ15の全ビットに、“L”が転送され、行側駆動回路16が動作せず、液晶パネルには何も表示されない。従って、CPUによって液晶表示パネル用電源の制御を行う必要はない。

この実施例によれば、CPUが水平、垂直同期信号の周期を設定することのできる水平、垂直同期信号発生器からの信号に同期して水平、垂直同

期信号を発生する外部同期カウンタを設けたことにより、電源投入後CPUがレジスタにデータを設定する以前に液晶表示パネルに対し同期信号を出力して液晶表示パネルのシフトレジスタをクリアするため、液晶表示パネル用電源の制御を行うことなしに、表示画面の初期状態を確定することができる。

第5図は、本発明の別の実施例におけるLCDの回路構成ブロック図を示すものである。

第5図において、38は同実施例LCDの要部回路構成ブロック、39は、CPU2から設定することができ、同期信号の切り換えを行う同期切り換えレジスタ、40は周期t4で同期信号を出力する垂直同期発生部、41は第1比較器10と垂直同期発生部40を切り換える第1セレクタ、42は周期t6で同期信号を出力する水平同期発生部、43は第2比較器13と水平同期発生部42を切り換える第2セレクタ、44は同期切り換えレジスタ39からの切り換え信号、45は垂直同期発生部40から発生する周期t4の同期信

号、46は第1比較器10からの第1同期信号、47は液晶表示パネル1に入力する垂直同期信号、48は水平同期発生部42から発生する周期t8の同期信号、49は第2比較器13からの第2同期信号、50は液晶表示パネル1に入力する水平同期信号である。なお1は液晶表示パネル、2はCPU、4はVRAM、6は表示アドレスカウンタ、7はデータ交換器、8は垂直カウンタ、9は垂直レジスタ、10は垂直カウンタ8と垂直レジスタ9を比較する第1比較器、11は水平カウンタ、12は水平レジスタ、13は水平カウンタ11と水平レジスタ12を比較する第2比較器でこれらは従来例と同じものである。また、24は液晶表示パネル用電源で、第1図に示す一実施例と同じものである。

次に、この実施例装置の動作を、第6図のタイミングチャートを用いて説明する。まず電源を立ち上げた後、垂直同期発生部40は周期t4のクロックを発生し、水平同期発生部42は同期軸t6のクロックを発生している。このとき、垂直レジ

スタ9、水平レジスタ12はデータが設定されていないため、第1比較器10の出力である同期信号46、第2比較器13の出力である同期信号49はその値が不定である。第1セレクタ41は同期切り換えレジスタ39の出力である切り換え信号44が“L”の時、垂直同期発生部40からの同期信号45を垂直同期信号47として出力し、ハイレベル“H”的時、第1比較器10からの同期信号46を垂直同期信号47として出力する。同様に、第2セレクタ43は同期切り換えレジスタ39の出力である切り換え信号44が“L”的時、水平同期発生部42からの同期信号48を水平同期信号50として出力し、“H”的時、第2比較器13からの同期信号49を水平同期信号50として出力する。電源立ちあげ後、同期切り換えレジスタ39の出力44は“L”になるとすると、垂直同期信号47は垂直同期発生部40からの同期t4の同期信号45を出力しており、水平同期信号50は水平同期発生部42からの同期t6の同期信号48を出力している。このとき、液晶

表示パネル1に電源が入力されていても、適当な垂直同期信号47、水平同期信号50が入力されているため、液晶表示パネル1には不用な縞模様は発生しない。

CPU2から正しいデータを垂直レジスタ9、水平レジスタ12に設定し、その後、同期切り換えレジスタ39を“H”にすることで目的の正しい表示を行うことができるようになる。

この実施例によれば、周期を外部から設定できない同期発生部と、周期を外部から設定できる同期発生部との切り換えを行うレジスタを設けたことにより、レジスタを設定する以前に液晶表示パネルに対し、適当な同期信号を出力するため不用な縞模様が表示されず、液晶表示パネル用電源の制御を行うことなく表示画面の初期状態を確定することができる。

第7図は本発明のさらに別の実施例におけるLCDの回路構成ブロック図を示すものである。第7図において、51は要部回路ブロック、52はCPU2からレジスタへの設定が完了したこと

を検出するレジスタアクセス検出部、53は周期t8で同期信号を出力する垂直同期発生部、54は第1比較器10と垂直同期発生部53を切り換える第1セレクタ、55は周期t10で同期信号を出力する水平同期発生部、56は第2比較器13と水平同期発生部55を切り換える第2セレクタ、57はレジスタアクセス検出部52からの切り換え信号、58は垂直同期発生部53から発生する周期t8の信号、59は第1比較器10からの同期信号、60は液晶表示パネル1に入力する垂直同期信号、61は水平同期発生部55から発生する周期t10の信号、62は第2比較器13からの同期信号、63は液晶表示パネル1に入力する水平同期信号で、1は液晶表示パネル、2はCPU、4はVRAM、6は表示アドレスカウンタ、7はデータ変換部、8は垂直カウンタ、9は垂直レジスタ、10は垂直カウンタ8と垂直レジスタ9を比較する第1比較器、11は水平カウンタ、12は水平レジスタ、13は水平カウンタ11と水平レジスタ12を比較する第2比

較器でこれらは従来例と同じものである。また24は液晶表示パネル用電源である。

その動作を、第8図のタイミングチャートを用いて説明する。まず電源を立ち上げた後、垂直同期発生部53は周期t8のクロックを発生し、水平同期発生部55は周期t10のクロックを発生している。このとき、垂直レジスタ9、水平レジスタ12はデータが設定されていないため、第1比較器10の出力である同期信号59、第2比較器13の出力である同期信号62はその値が不定である。第1セレクタ54はレジスタアクセス検出部52の出力である切り換え信号57が“L”的時、垂直同期発生部53からの同期信号58を垂直同期信号60として出力し、“H”的時、第1比較器10からの同期信号59を垂直同期信号60として出力する。同様に、第2セレクタ56はレジスタアクセス検出部52の出力である切り換え信号57が“L”的時、水平同期発生部55からの同期信号61を水平同期信号63として出力し、“H”的時、第2比較器13からの同期信号62を水平同期信号63として出力する。

号 6 2 を水平同期信号 6 3 として出力する。電源立ちあげ後、レジスタアクセス検出部 5 2 の出力 5 7 が “L” になるとすると、垂直同期信号 6 0 は垂直同期発生部 5 3 からの周期 1 8 の同期信号 5 8 を出し、水平同期信号 6 3 は水平同期発生部 5 5 からの周期 1 0 の同期信号 6 1 を検出している。このとき、液晶表示パネル 1 に電源が入力されていても、適当な垂直同期信号 4 7、水平同期信号 5 0 が入力されているため、液晶表示パネル 1 には不用な駆動様は発生しない。

C P U 2 から正しいデータを垂直レジスタ 9、水平レジスタ 1 2 に設定すると、レジスタアクセス検出部 5 2 が動作し、切り換え信号 5 7 を “H” にする。すると目的とする正しい表示を行うことができるようになる。

発明の効果

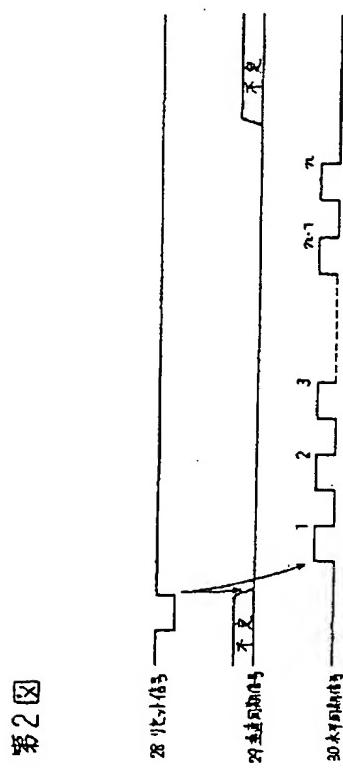
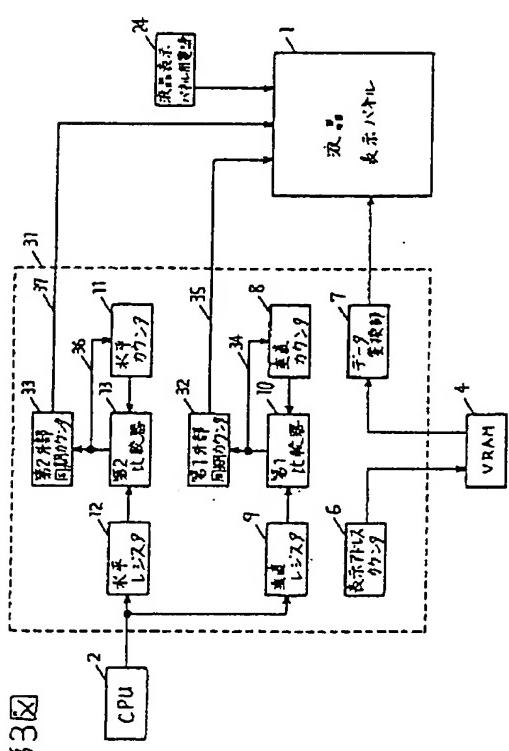
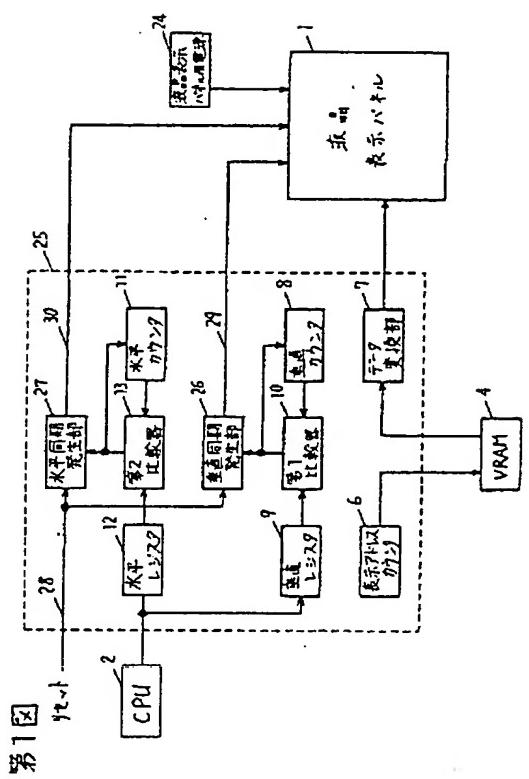
以上のように本発明によれば、液晶表示パネル用電源の制御を行うことなしに、表示画面の初期状態を確定することができる。

4、図面の簡単な説明

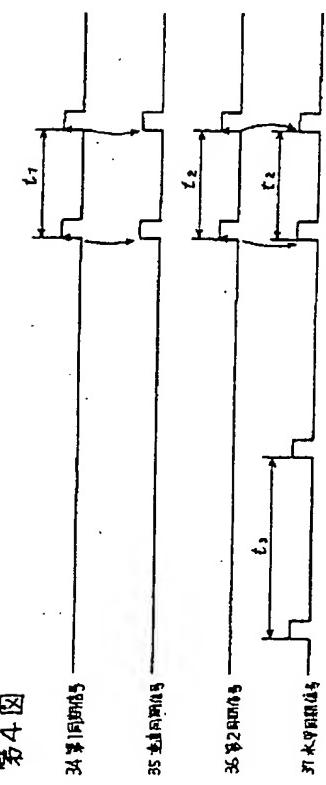
液晶パネル、1 5 ……第 1 シフトレジスタ、1 6 ……行側駆動回路、1 7 ……第 2 シフトレジスタ、1 8 ……ラッチ、1 9 ……列側駆動回路、2 0 ……第 1 クロック、2 1 ……第 2 クロック、2 2 ……データ、2 3 ……第 3 クロック、2 4 ……液晶表示パネル用電源、2 5 ……要部回路ブロック、2 6 ……水平同期発生部、2 7 ……垂直同期発生部、2 8 ……リセット信号、2 9 ……垂直同期信号、3 0 ……水平同期信号、3 1 ……LCDの要部回路ブロック、3 2 ……第 1 外部同期カウンタ、3 3 ……第 2 外部同期カウンタ、3 4 ……第 1 比較器 1 0 からの同期信号、3 5 ……垂直同期信号、3 6 ……第 2 比較器 1 3 からの同期信号、3 7 ……水平同期信号、3 8 ……LCDの要部回路ブロック、3 9 ……同期切り換えレジスタ、4 0 ……垂直同期発生部、4 1 ……第 1 セレクタ、4 2 ……水平同期発生部、4 3 ……第 2 セレクタ、4 4 ……切り換え信号、4 7 ……垂直同期信号、5 0 ……水平同期信号、5 1 ……LCD、5 2 ……レジスタアクセス検出部、5 3 ……垂直

同期発生部、5 4 ……第 1 セレクタ、5 5 ……水平同期発生部、5 6 ……第 2 セレクタ、5 7 ……切り換え信号、6 0 ……垂直同期信号、6 3 ……水平同期信号。

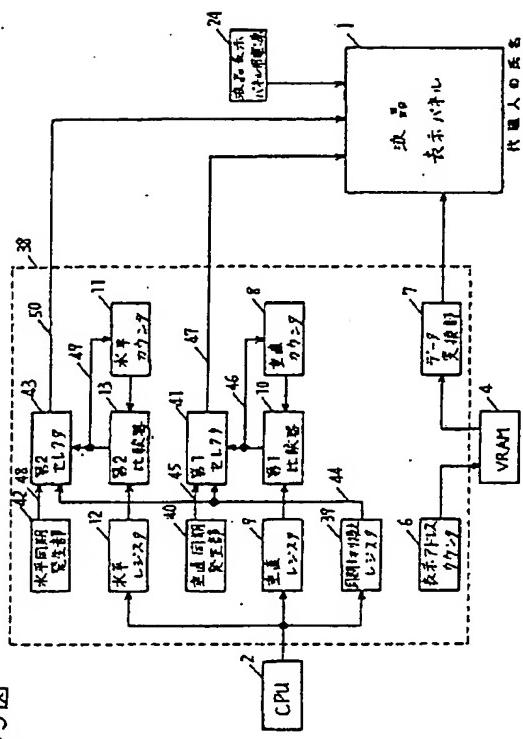
代理人の氏名 単理士 粟野重孝 ほか 1 名



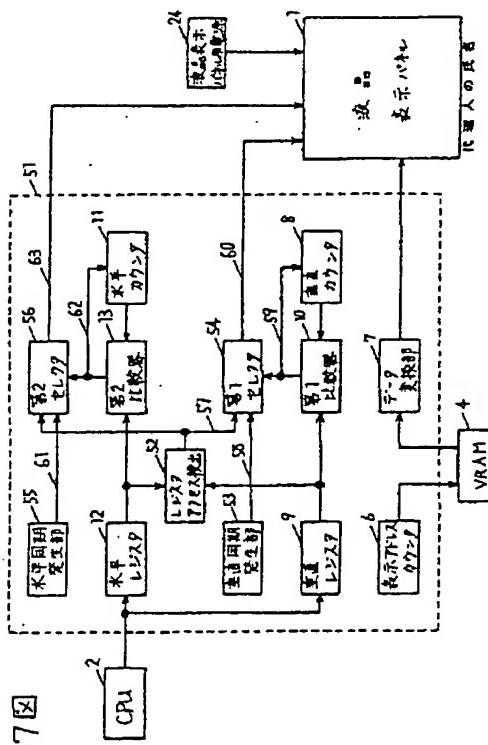
34 水平同期
35 垂直同期
36 ピクセルアドレス
37 水平同期



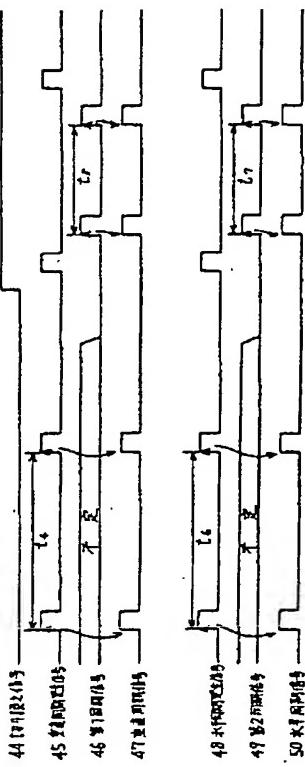
第5図



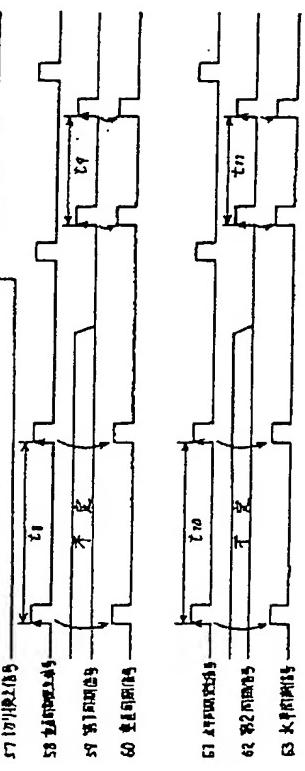
第7図

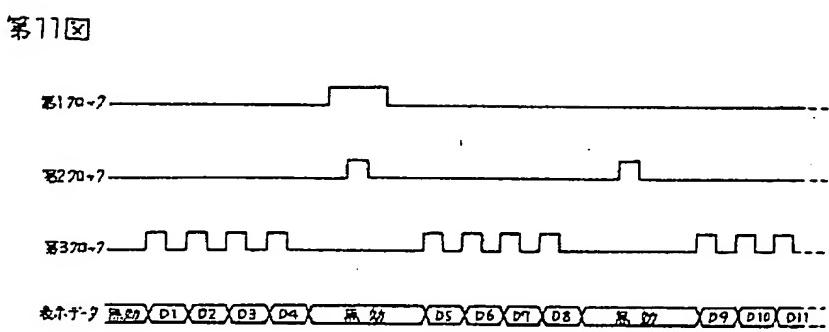
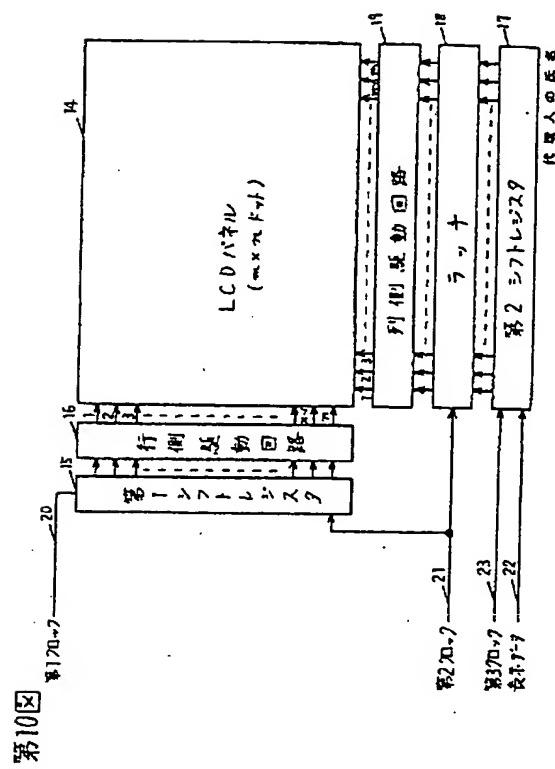
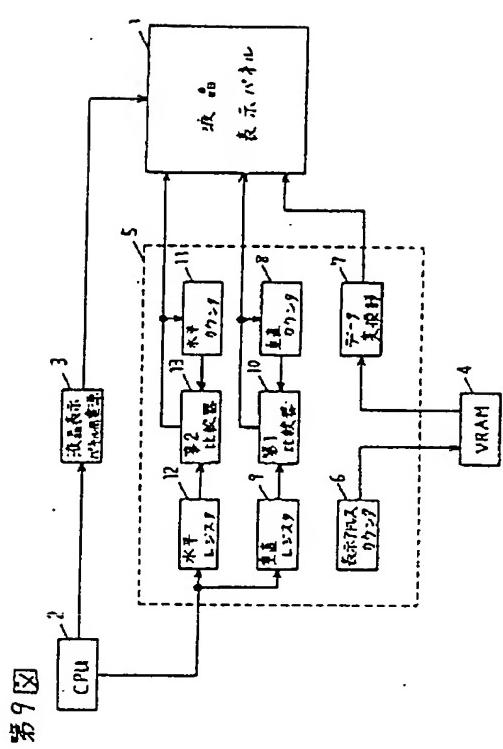


第6図



第8図





Publication of unexamined patent application

H3-153294

(43) Date of disclosure: July 1, 1991

(54) Title of the invention: Liquid crystal display device

(21) Application number: H1-293524

(22) Filing date: November 10, 1989

(72) Inventor: Yoshito Date et al.

(71) Applicants: Matsushita Electric Industrial Co., Ltd.

Specification

1. Title of the invention

Liquid crystal display device

2. Claim

(1) A liquid crystal display device provided with signal generators for generating a reset signal and a timing signal for clearing the row shift register of a liquid crystal display device when the aforementioned reset signal is cancelled.

(2) A liquid crystal display device provided with horizontal and vertical synchronization signal generators in which cycles can be set for a horizontal synchronization signal and a vertical synchronization signal from outside; and with generation means that generate horizontal and vertical synchronization signals having certain cycles for a liquid crystal display device when no synchronization signals are being input from outside, and that generate synchronization signals having the same cycles as those of the horizontal and vertical synchronization signals generated by the aforementioned horizontal and vertical synchronization signal generators when synchronization signals are input from the aforementioned horizontal and vertical synchronization signal generators.

(3) A liquid crystal display device provided with horizontal and vertical synchronization signal generators that can be set from outside, horizontal and vertical synchronization signal generators that cannot be set from outside, and with a register for switching between the aforementioned horizontal and vertical synchronization signal generators that can be set from outside and the aforementioned horizontal and vertical synchronization signal generators that cannot be set from outside.

(4) A liquid crystal display device provided with horizontal and vertical synchronization signal

generators that can be set from outside, horizontal and vertical synchronization signal generators that cannot be set from outside, and with a detection means for detecting the setting of data in the aforementioned horizontal and vertical synchronization signal generators which can be set from outside.

3. Detailed explanation of the invention

Industrial field of application

The present invention relates to a liquid crystal display device (hereafter abbreviated as "LCD"), and more particularly to a signal system for controlling the initial state of said device.

Prior art

In recent years, demand has been increasing for large-screen, thin LCDs in the field of information appliances, especially in computers, and the technologies related to the method of controlling these LCDs have become important.

An explanation of a conventional LCD is provided below.

Figure 9 is a circuit configuration block diagram of a conventional LCD. In this figure, numeral 1 is a liquid crystal panel; 2 is a CPU; 3 is a power supply for the liquid crystal display panel; 4 is VRAM; 5 is a key circuit block of the conventional LCD; 6 is a display address counter; 7 is a data converter; 8 is a vertical counter; 9 is a vertical register; 10 is a first comparator that compares vertical counter 8 and vertical register 9; 11 is a horizontal counter; 12 is a horizontal register; and 13 is a second comparator that compares horizontal counter 11 and horizontal register 12.

Next, the operation of an LCD thus configured will be explained.

First, power supply 3 for the liquid crystal display panel is kept in the OFF state. CPU 2 sets vertical register 9 and horizontal register 12 to the values appropriate for display. Vertical counter 8 and horizontal counter 11 are incremented by the horizontal synchronization signal and the pixel clock, respectively; when the values in these counters match the values in vertical register 9 and horizontal register 12, they are cleared by the matching signals generated by first comparator 10 and second comparator 13, and are then counted up again by the horizontal synchronization signal and the pixel clock. The matching signal from first comparator 10 becomes the vertical synchronization signal and is input into liquid crystal display panel 1. The matching signal from second comparator 12[sic. Should be "13."] becomes the horizontal synchronization signal and is input into liquid crystal display panel 1.

VRAM 4 is a memory device for storing display data. The data in VRAM 4 is read out by display address counter 6, is converted into display data for liquid crystal display panel 1 by data converter 7, and is output. After the display timing signal has stabilized, CPU 2 outputs a power supply ON signal to power supply 3 for the liquid crystal display panel, thus starting a display operation.

Note that power supply 3 for the liquid crystal display panel is not turned on until after register

setting has been completed in order to avoid displaying needless data on liquid crystal display panel 1.

Figure 10 is the configuration diagram of the liquid crystal display panel. In this figure, numeral 14 is a liquid crystal panel with $m \times n$ (where m and n are integers) dots; 15 is a first shift register; 16 is a row drive circuit; 17 is a second shift register; 18 is a latch; 19 is a column drive circuit; 20 is a first clock which is a signal indicating a vertical synchronization signal; 21 is a second clock which is a horizontal synchronization signal; 22 is the display data to be input into second shift register 17; and 23 is a third clock for shifting and sending display data 22 to second shift register 17.

Normal operation timing is shown in Figure 11, which shows that display data 22 is shifted and sent through second shift register 17 by third clock 23. When one line of data in the horizontal direction is sent, it is sent to latch 18 by second clock 21. If first clock 20 is input at this time, it is latched to the first bit in first shift register 15 by second clock 21, and the first line in row drive circuit 16 is enabled and displayed in the liquid crystal display panel by column drive circuit 19. Thereafter, as data is sent, it is latched by second clock 21; the first clock data latched to first shift register 15 is sequentially shifted and displayed on liquid crystal display panel 14. After data is sent to and displayed on the last row, the first clock is supplied again and the first row is displayed.

In the initial state immediately after the power supply is turned on, indeterminate data has already been input into first shift register 15, second shift register 17, and latch 18; and indeterminate data will be displayed in this indeterminate display position.

To prevent this, in the conventional LCD shown in Figure 9, power supply 3 for the liquid crystal display panel is turned on after CPU 2 has set all of the necessary registers and has established the display data and the synchronization signal.

Problem that the invention is to solve

However, the aforementioned conventional configuration has a problem in that it is necessary to have the CPU issue a signal for controlling the power supply for the liquid crystal display panel in order to avoid displaying noise patterns, such as stripes, on the liquid crystal display panel.

The present invention solves the aforementioned problem, and its objective is to provide an LCD in which controlling the power supply for the liquid crystal display panel is not necessary.

Means of solving the problem

In order to achieve this objective, the LCD according to the present invention is comprised of a means for generating an appropriate display timing signal before setting correct data in the display setting register.

Operation of the invention

Because this configuration generates an appropriate display timing signal at power supply activation, unwanted display signals are not displayed on the panel, and moreover, there is no need to supply a

control signal to the power supply for the liquid crystal display panel.

Embodiments

An embodiment of the present invention will be explained below with reference to the drawings.

Figure 1 is a circuit configuration block diagram of a liquid crystal display device in an embodiment of the present invention.

In Figure 1, numeral 24 is a power supply for a liquid crystal display panel that cannot be controlled from outside; 25 is a main circuit block of the LCD; 26 is a vertical synchronization generator; 27 is a horizontal synchronization generator; 28 is a reset signal; 29 is a vertical synchronization signal; and 30 is a horizontal synchronization signal. Furthermore, 1 is a liquid crystal panel; 2 is a CPU; 4 is VRAM; 6 is a display address counter; 7 is a data converter; 8 is a vertical counter; 9 is a vertical register; 10 is a first comparator that compares vertical counter 8 and vertical register 9; 11 is a horizontal counter; 12 is a horizontal register; and 13 is a second comparator that compares horizontal counter 11 and horizontal register 12; these components are the same as in the conventional example.

Next, the operation of the liquid crystal display device of the present embodiment thus configured will be explained with reference to the timing diagram in Figure 2. First, simultaneously with the activation of the power supply, reset signal 28 is input, and is afterwards cancelled. During this step, indeterminate data has been input into vertical register 9 and horizontal register 12, and the operation of both vertical counter 8 and horizontal counter 11 are also indeterminate. Therefore, the signal that is output from first comparator 10 and the signal that is output from second comparator 13 are also indeterminate signals.

When the reset is cancelled, vertical synchronization signal 29, which is at the low level "L," is output from vertical synchronization generator 26, as shown in Figure 2. Moreover, as shown in Figure 2, horizontal synchronization generator 27 generates horizontal synchronization signal 30 as the clocks for the vertical dots on the display screen. Since this signal clears first register 15 on the row side of the liquid crystal display panel shown in Figure 10, the display data is not displayed on liquid crystal panel 14. When the outputting of vertical synchronization signal 29 and horizontal synchronization signal 30 is finished, vertical synchronization generator 26 outputs the output from first comparator 10, and horizontal synchronization generator 27 outputs the output from second comparator 13. From then on, appropriate values are set in the registers as in the conventional example, and normal display operation is carried out. In other words, for a certain period following the cancellation of the reset, vertical synchronization generator 26 and horizontal synchronization generator 27 send "L" to all of the bits of first shift register 15 of the liquid crystal display panel shown in Figure 10, do not allow row drive circuit 16 to operate, and do not display anything on the liquid crystal panel. Afterwards, synchronization signals that correspond to the setting values from CPU 2 are generated. This configuration is able to establish the initial state of the display screen without controlling power supply 24 for the liquid crystal display panel.

According to this embodiment, synchronization signal generators are provided that output synchronization signals for a certain period after the reset signal is cancelled and that clear the shift

registers inside the liquid crystal display panel, making it possible to establish the initial state of the display screen without controlling the power supply for the liquid crystal display panel.

Figure 3 is a circuit configuration block diagram of the LCD in another embodiment of the present invention.

In Figure 3, 31 is a main circuit block of the LCD; 32 is a first external synchronization counter that generates signals in correspondence to the cycles of external signals; 33 is a second external synchronization counter that generates signals in correspondence to the cycles of external signals; 34 is a first synchronization signal from first comparator 10; 35 is a vertical synchronization signal; 36 is a second synchronization signal from second comparator 13; and 37 is a horizontal synchronization signal. Note that 1 is a liquid crystal panel; 2 is a CPU; 4 is VRAM; 6 is a display address counter; 7 is a data converter; 8 is a vertical counter; 9 is a vertical register; 10 is a first comparator that compares vertical counter 8 and vertical register 9; 11 is a horizontal counter; 12 is a horizontal register; and 13 is a second comparator that compares horizontal counter 11 and horizontal register 12; these components are the same as in the conventional example. Additionally, 24 is a power supply for the liquid crystal display panel and is the same as that in the embodiment shown in Figure 1.

The operation of the LCD in this embodiment will be explained with reference to the timing diagram in Figure 4. First, first synchronization signal 34, which is the output of first comparator 10, is at the "L" level before CPU 2 sets data in vertical register 9. Once vertical register 9 is set, a synchronization signal having cycle t1 is output from first comparator 10. First external synchronization counter 32 receives output 34 from first comparator 10 and generates vertical synchronization signal 35. Likewise, second comparator 13 is at the "L" level before CPU 2 sets data in horizontal register 12. Once horizontal register 12 is set, a synchronization signal having cycle t2 is output. Second external synchronization counter 33 receives output 36 from second comparator 13 and generates horizontal synchronization signal 37. During this process, the second external synchronization counter is generating t3, which is longer than cycle t2, when the output of second comparator 13 is at the "L" level, and generates horizontal synchronization signal 37 in synchronization with t2 when synchronization signal 36 is input. The operation from here on is the same as in the conventional example. As explained above, first external synchronization counter 32 continues to output "L" until a signal is received from first comparator 10, and second external synchronization counter 33 continues to output a constant horizontal synchronization signal until a signal is received from second comparator 13. As a result, "L" is sent to all of the bits in first shift register 15 of the liquid crystal display panel shown in Figure 10, row drive circuit 16 is not activated, and nothing is displayed on the liquid crystal panel. Therefore, there is no need for the CPU to control the power supply for the liquid crystal display panel.

According to this embodiment, because external synchronization counters are provided, which generate horizontal and vertical synchronization signals synchronously with the signals from horizontal and vertical synchronization signal generators for which the CPU can set cycles for horizontal and vertical synchronization signals, synchronization signals are output to the liquid crystal display panel, clearing the shift registers of the liquid crystal display panel before the CPU sets data in the registers following power supply activation. Therefore, it is possible to establish the initial state of the display screen without controlling the power supply for the liquid crystal display

panel.

Figure 5 is a circuit configuration block diagram of the LCD in still another embodiment of the present invention.

In Figure 5, 38 is a main circuit block of the LCD in said embodiment; 39 is a synchronization switching register that can be set from CPU 2 and which switches synchronization signals; 40 is a vertical synchronization generator that outputs synchronization signals at cycle t4; 41 is a first selector that switches between first comparator 10 and vertical synchronization generator 40; 42 is a horizontal synchronization generator that outputs synchronization signals at cycle t6; 43 is a second selector that switches between second comparator 13 and horizontal synchronization generator 42; 44 is a switching signal from synchronization switching register 39; 45 is a synchronization signal having cycle t4 generated by vertical synchronization generator 40; 46 is a first synchronization signal from first comparator 10; 47 is a vertical synchronization signal to be input into liquid crystal display panel 1; 48 is a synchronization signal having cycle t6 generated by horizontal synchronization generator 42; 49 is a second synchronization signal from second comparator 13; and 50 is a horizontal synchronization signal to be input into liquid crystal display panel 1. Note that 1 is a liquid crystal panel; 2 is a CPU; 4 is VRAM; 6 is a display address counter; 7 is a data converter; 8 is a vertical counter; 9 is a vertical register; 10 is a first comparator that compares vertical counter 8 and vertical register 9; 11 is a horizontal counter; 12 is a horizontal register; and 13 is a second comparator that compares horizontal counter 11 and horizontal register 12; and these components are the same as in the conventional example. Additionally, 24 is a power supply for the liquid crystal display panel and is the same as that in the embodiment shown in Figure 1.

Next, the operation of the device in this embodiment will be explained with reference to the timing diagram in Figure 6. First, after the power supply is activated, vertical synchronization generator 40 is generating a clock having cycle t4, and horizontal synchronization generator 42 is generating a clock having synchronization axis[sic. Should be "cycle."] t6. During this step, since no data has been set in vertical register 9 or horizontal register 12, both synchronization signal 46, which is the output of first comparator 10, and synchronization signal 49, which is the output of second comparator 13, are indeterminate in terms of value. When switching signal 44, which is the output of synchronization switching register 39, is at the "L" level, first selector 41 outputs synchronization signal 45 from vertical synchronization generator 40 as vertical synchronization signal 47; when switching signal 44 is at the "H" level, first selector 41 outputs synchronization signal 46 from first comparator 10 as vertical synchronization signal 47. Likewise, when switching signal 44, which is the output of synchronization switching register 39, is at the "L" level, second selector 43 outputs synchronization signal 48 from horizontal synchronization generator 42 as horizontal synchronization signal 50; when switching signal 44 is at the "H" level, first selector 41 outputs synchronization signal 49 from second comparator 13 as horizontal synchronization signal 50. Assuming that output 44 of synchronization switching register 39 goes to the "L" level after power supply activation, synchronization signal 45 having cycle t4 from vertical synchronization generator 40 is being output as vertical synchronization signal 47, and synchronization signal 48 having cycle t6 from horizontal synchronization generator 42 is being output as horizontal synchronization signal 50. During this step, because appropriate vertical synchronization signal 47 and horizontal synchronization signal 50 are being input, unwanted stripes are not generated on liquid crystal display panel 1 even if power is being supplied to liquid crystal display panel 1.

By having CPU 2 set correct data in vertical register 9 and horizontal register 12, and afterwards by setting synchronization switching register 39 to the "H" level, the desired correct display can be carried out.

According to this embodiment, because a switching register is provided, which can switch between a synchronization generator whose cycle cannot be set from outside and a synchronization generator whose cycle can be set from outside, appropriate synchronization signals are output to the liquid crystal display panel before the registers are set, and consequently, no unwanted stripes are displayed. Therefore, it is possible to establish the initial state of the display screen without controlling the power supply for the liquid crystal display panel.

Figure 7 is a circuit configuration block diagram of the LCD in yet another embodiment of the present invention. In Figure 7, 51 is a main circuit block of the LCD; 52 is a register access detector for detecting the completion of register setting by CPU 2; 53 is a vertical synchronization generator that outputs synchronization signals at cycle t8; 54 is a first selector that switches between first comparator 10 and vertical synchronization generator 53; 55 is a horizontal synchronization generator that outputs synchronization signals at cycle t10; 56 is a second selector that switches between second comparator 13 and horizontal synchronization generator 55; 57 is a switching signal from register access detector 52; 58 is a signal having cycle t8 generated by vertical synchronization generator 53; 59 is a first synchronization signal from first comparator 10; 60 is a vertical synchronization signal to be input into liquid crystal display panel 1; 61 is a signal having cycle t10 generated by horizontal synchronization generator 55; 62 is a second synchronization signal from second comparator 13; and 63 is a horizontal synchronization signal to be input into liquid crystal display panel 1. Note that 1 is a liquid crystal panel; 2 is a CPU; 4 is VRAM; 6 is a display address counter; 7 is a data converter; 8 is a vertical counter; 9 is a vertical register; 10 is a first comparator that compares vertical counter 8 and vertical register 9; 11 is a horizontal counter; 12 is a horizontal register; and 13 is a second comparator that compares horizontal counter 11 and horizontal register 12; and these components are the same as in the conventional example. Additionally, 24 is a power supply for the liquid crystal display panel.

The operation of the device in this embodiment will be explained with reference to the timing diagram in Figure 8. First, after the power supply is activated, vertical synchronization generator 53 is generating a clock having cycle t8, and horizontal synchronization generator 55 is generating a clock having cycle t10. During this step, since no data has been set in vertical register 9 or horizontal register 12, both synchronization signal 59, which is the output of first comparator 10, and synchronization signal 62, which is the output of second comparator 13, are indeterminate in terms of value. When switching signal 57, which is the output of register access detector 52, is at the "L" level, first selector 54 outputs synchronization signal 58 from vertical synchronization generator 53 as vertical synchronization signal 60; when switching signal 57 is at the "H" level, first selector 54 outputs synchronization signal 59 from first comparator 10 as vertical synchronization signal 60. Likewise, when switching signal 57, which is the output of register access detector 52, is at the "L" level, second selector 56 outputs synchronization signal 61 from horizontal synchronization generator 55 as horizontal synchronization signal 63; when switching signal 57 is at the "H" level, second selector 56 outputs synchronization signal 62 from second comparator 13 as horizontal synchronization signal 63. Assuming that output 57 of register access detector 52

goes to the "L" level after power supply activation, synchronization signal 58 having cycle t8 from vertical synchronization generator 53 is being output as vertical synchronization signal 60, and synchronization signal 61 having cycle t10 from horizontal synchronization generator 55 is being detected as horizontal synchronization signal 63. During this step, because appropriate vertical synchronization signal 47[sic. Should be "60."] and horizontal synchronization signal 50[sic. Should be "63."] are being input, unwanted stripes are not generated on liquid crystal display panel 1 even if power is being supplied to liquid crystal display panel 1.

When CPU 2 sets correct data in vertical register 9 and horizontal register 12, register access detector 52 becomes activated, setting switch signal 57 to the "H" level. Then, the desired correct display can be carried out.

Effects of the invention

As explained above, the present invention can establish the initial state of the display screen without controlling the power supply for the liquid crystal display panel.

4. Brief explanation of the drawings

Figure 1 is a circuit configuration block diagram of the LCD in an embodiment of the present invention; Figure 2 is a timing diagram of the LCD in said embodiment; Figure 3 is a circuit configuration block diagram of the LCD in another embodiment of the present invention; Figure 4 is a timing diagram of the LCD in said embodiment; Figure 5 is a circuit configuration block diagram of the LCD in still another embodiment of the present invention; Figure 6 is a timing diagram of the LCD in said embodiment; Figure 7 is a circuit configuration block diagram of the LCD in yet another embodiment of the present invention; Figure 8 is a timing diagram of the LCD in said embodiment; Figure 9 is a circuit configuration block diagram of a conventional LCD; Figure 10 is a configuration diagram of a liquid crystal display panel; and Figure 11 is a timing diagram of the LCD in the conventional example.

- 1 ... Liquid crystal display panel
- 2 ... CPU
- 3 ... Power supply for liquid crystal display panel
- 4 ... VRAM
- 5 ... LCD
- 6 ... Display address counter
- 7 ... Data converter
- 8 ... Vertical counter
- 9 ... Vertical register
- 10 .. First comparator
- 11 .. Horizontal counter
- 12 .. Horizontal register
- 13 .. Second comparator
- 14 .. Liquid crystal panel with M x N (where M and N are integers) dots
- 15 .. First shift register
- 16 .. Row drive circuit

17 .. Second shift register
18 .. Latch
19 .. Column drive circuit
20 .. First clock
21 .. Second clock
22 .. Data
23 .. Third clock
24 .. Power supply for liquid crystal display panel
25 .. Main circuit block
26 .. Horizontal synchronization generator
27 .. Vertical synchronization generator
28 .. Rest signal
29 .. Vertical synchronization signal
30 .. Horizontal synchronization signal
31 .. Main circuit block of LCD
32 .. First external synchronization counter
33 .. Second external synchronization counter
34 .. Synchronization signal from first comparator 10
35 .. Vertical synchronization signal
36 .. Synchronization signal from second comparator 13
37 .. Horizontal synchronization signal
38 .. Main circuit block of LCD
39 .. Synchronization switching register
40 .. Vertical synchronization generator
41 .. First selector
42 .. Horizontal synchronization generator
43 .. Second selector
44 .. Switching signal
47 .. Vertical synchronization signal
50 .. Horizontal synchronization signal
51 .. LCD
52 .. Register access detector
53 .. Vertical synchronization generator
54 .. First selector
55 .. Horizontal synchronization generator
56 .. Second selector
57 .. Switching signal
60 .. Vertical synchronization signal
63 .. Horizontal synchronization signal

Figure 1

28 .. Rest
27 .. Vertical synchronization generator
2 ... CPU
12 .. Horizontal register

13 .. Second comparator
11 .. Horizontal counter
26 .. Horizontal synchronization generator
9 ... Vertical register
10 .. First comparator
8 ... Vertical counter
6 ... Display address counter
7 ... Data converter
24 .. Power supply for liquid crystal display panel
1 ... Liquid crystal display panel

Figure 2

28: Rest signal
29: Vertical synchronization signal Indeterminate
30: Horizontal synchronization signal Indeterminate

Figure 3

33 .. Second external synchronization counter
12 .. Horizontal register
13 .. Second comparator
11 .. Horizontal counter
32 .. First external synchronization counter
9 ... Vertical register
10 .. First comparator
8 ... Vertical counter
6 ... Display address counter
7 ... Data converter
24 .. Power supply for liquid crystal display panel
1 ... Liquid crystal display panel

Figure 4

34: Synchronization signal from first comparator 10
35: Vertical synchronization signal
36: Synchronization signal from second comparator 13
37: Horizontal synchronization signal

Figure 5

42 .. Horizontal synchronization generator
43 .. Second selector
12 .. Horizontal register
13 .. Second comparator
11 .. Horizontal counter
40 .. Vertical synchronization generator
41 .. First selector
9 ... Vertical register
10 .. First comparator

8 ... Vertical counter
39 .. Synchronization switching register
6 ... Display address counter
7 ... Data converter
24 .. Power supply for liquid crystal display panel
1 ... Liquid crystal display panel

Figure 6

44: Switching signal
45: Vertical synchronization generation signal
46: First synchronization signal Indeterminate
47: Vertical synchronization signal

48: Horizontal synchronization generation signal
49: Second synchronization signal Indeterminate
50: Horizontal synchronization signal

Figure 7

55 .. Horizontal synchronization generator
56 .. Second selector
12 .. Horizontal register
13 .. Second comparator
11 .. Horizontal counter
52 .. Register access detector
53 .. Vertical synchronization generator
54 .. First selector
9 ... Vertical register
10 .. First comparator
8 ... Vertical counter
6 ... Display address counter
7 ... Data converter
24 .. Power supply for liquid crystal display panel
1 ... Liquid crystal display panel

Figure 8

57: Switching signal
58: Vertical synchronization generation signal
59: First synchronization signal Indeterminate
60: Vertical synchronization signal

61: Horizontal synchronization generation signal
62: Second synchronization signal Indeterminate
63: Horizontal synchronization signal

Figure 9

3 ... Power supply for liquid crystal display panel

12 .. Horizontal register
13 .. Second comparator
11 .. Horizontal counter
9 ... Vertical register
10 .. First comparator
8 ... Vertical counter
6 ... Display address counter
7 ... Data converter
1 ... Liquid crystal display panel

Figure 10

20 .. First clock
15 .. First shift register
16 .. Row drive circuit
21 .. Second clock
23 .. Third clock
22 .. Display data
14 .. LCD panel (m x n dots)
19 .. Column drive circuit
18 .. Latch
17 .. Second shift register

Figure 11

First clock

Second clock

Third clock

Display data Invalid><D1><D2><D3><D4><Invalid><D5><D6><D7><D8><Invalid><D9>